

# Supraleitende Materialien und deren Charakterisierung

## 1 Supraleitende Materialien

Supraleiter leiten Strom widerstandslos und ermöglichen so im Kryobereich u.A. hohe Verdrahtungsdichten bei minimalem Kühlaufwand

**Auswahlkriterien** für geeignete Materialien

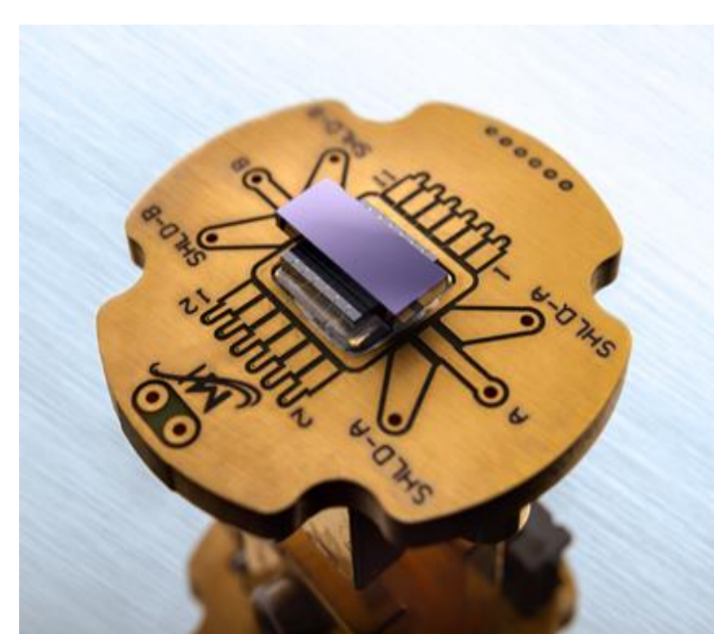
- hohe Sprungtemperatur ( $T_C$ )
- hohe kritischer Stromdichte ( $I_C$ )
- hohe kritischer Magnetfeldstärke ( $B_C$ )
- hohe kinetische Induktivität ( $L_{kin}$ )
- geringe Defektdichte (TLS)

**Anwendungen** für supraleitende Materialien:

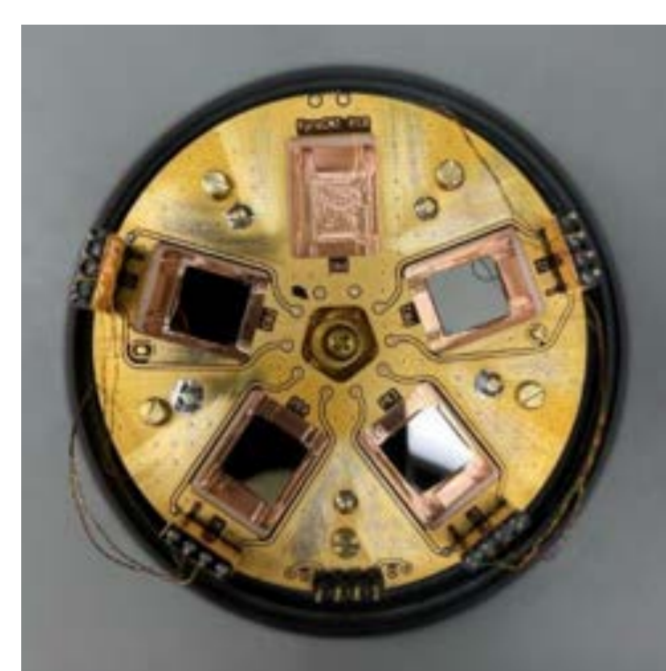
- Transmon-Qubits als Basis von Quantencomputern
- SNSPD-Dektoren, TWPA-Verstärker und Resonatoren
- Verbindungsleitungen, flexible Kabel für möglichst dichte Verdrahtung inkl. vertikaler und gestapelter Verbindungen
- Interposer: Verdrahtungslagen und Vias
- Flip-Chip-Bonding Chip zu Interposer mit Indium-Bumps

## 3 Elektrische Charakterisierung

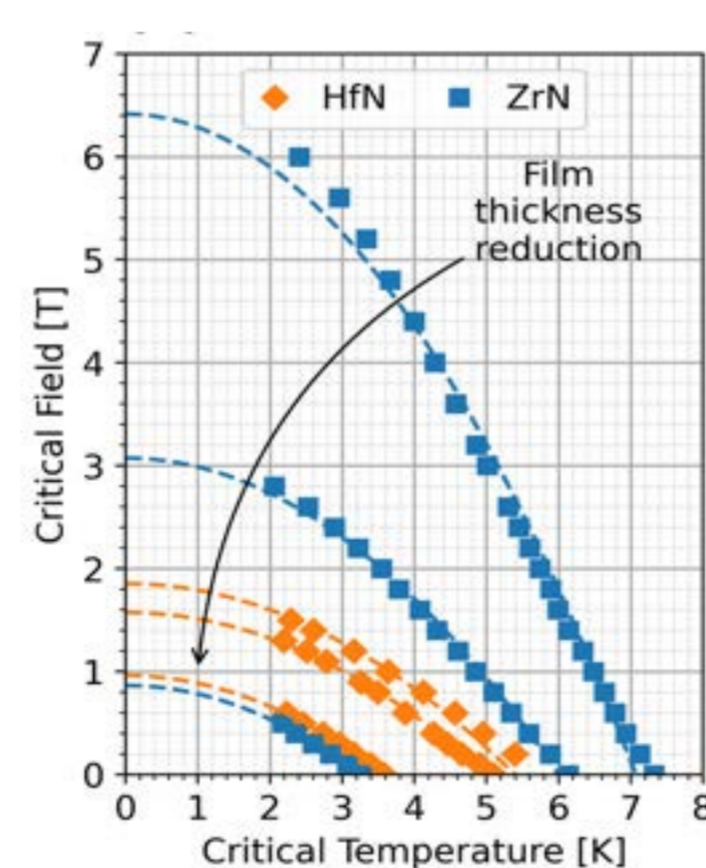
- Messplätze zur Bestimmung der kritischen Temperatur, Magnetfeldstärke und Stromdichte: siehe Poster „Design und Test von kryogener Elektronik“
- Resonator-Teststrukturen zur Bestimmung der Qualität von Supraleitern



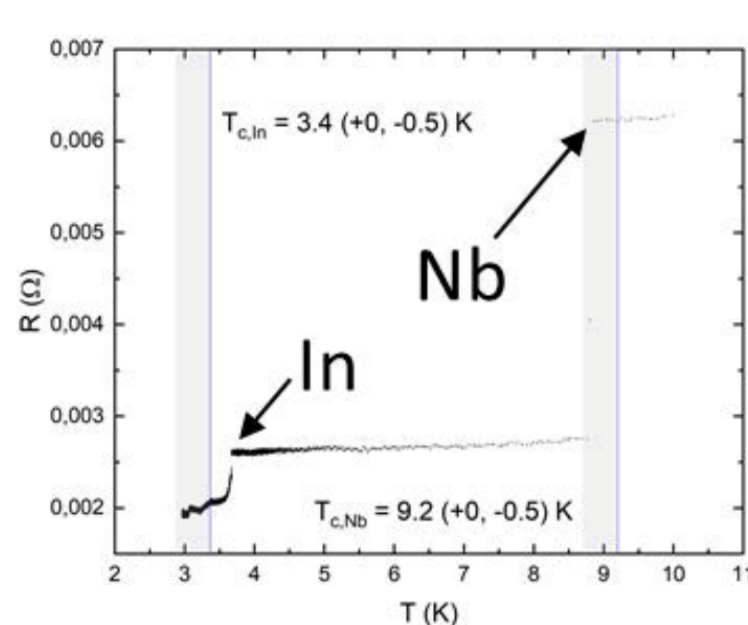
Flip-Chip-Aufbau einer Niob-Schaltung mit Indium-Bumps



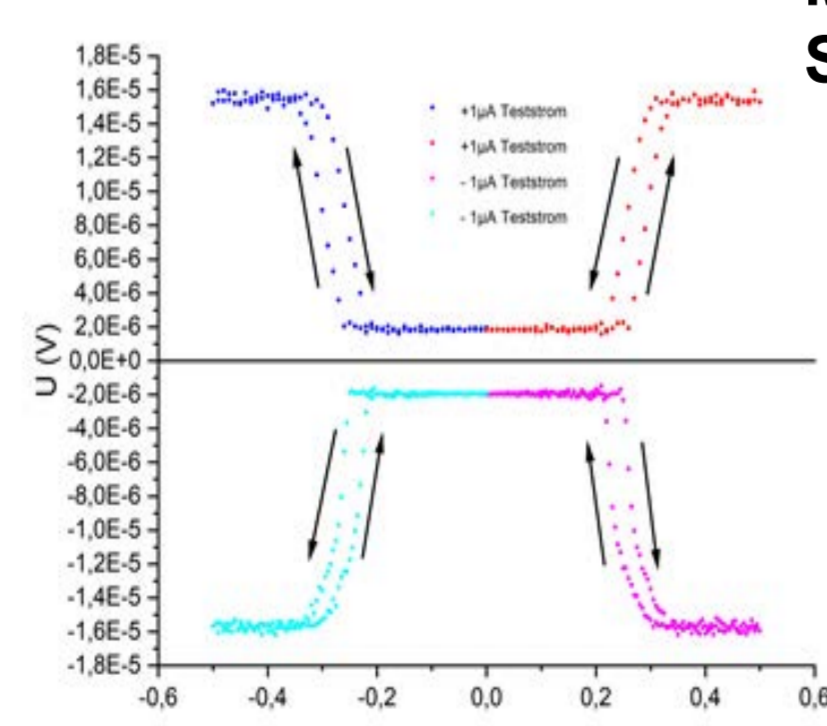
Messaufbau für Supraleiter-Dünnschicht-Proben



Sprungtemperatur von HfN und ZrN in Abhängigkeit von Magnetfeld und Schichtdicke



Messung der Sprungtemperatur bei Chip-Stack mit Nb-Verdrahtung und Indium-Bumps

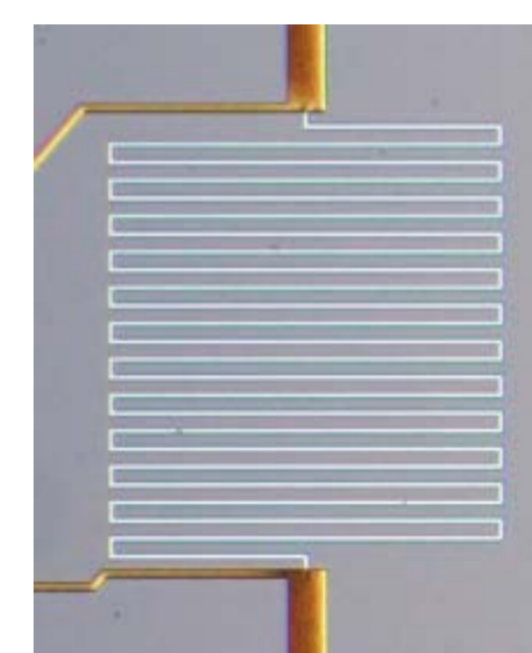


Messung kritische Magnetfeldstärke von Nb

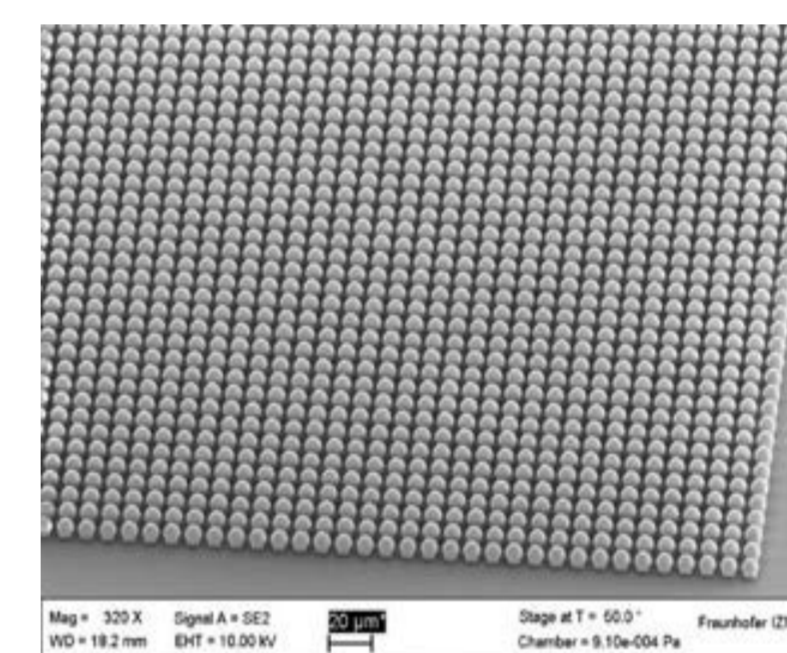
## 2 Prozesse für Leitungen, Vias, Bumping

Prozesse auf Wafern bis 300 mm:

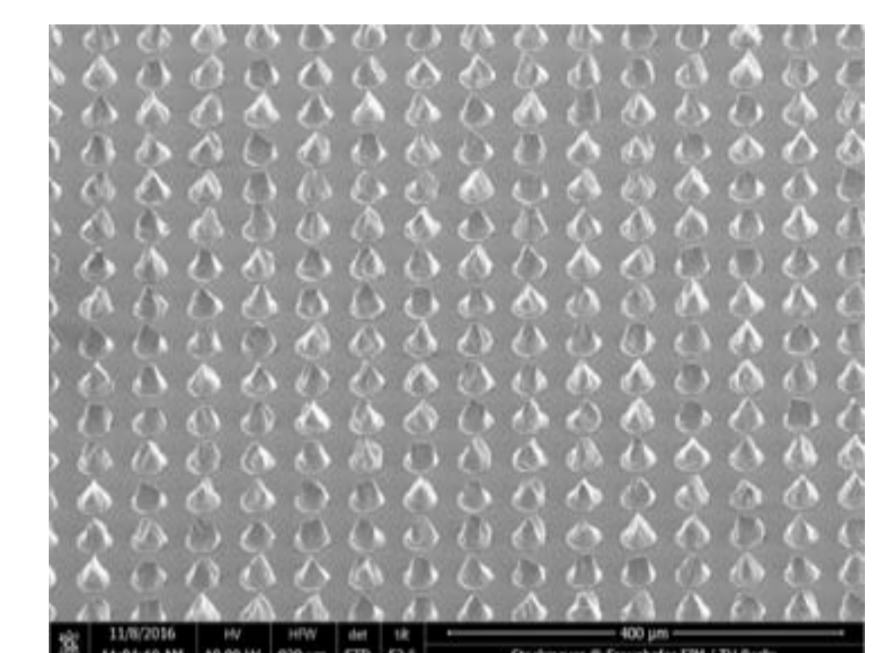
- Sputter-Abscheidung von Supraleitern
- RIE-Strukturierung und Reinigung
- Mehrlagen-Abscheidung von Supraleitern, Polieren (CMP) und Einfügen von Via-Verbindungen
- Galvanische Abscheidung von supraleitenden Loten (In, InSn)



Nb-Leitungen



Indium-Bumping

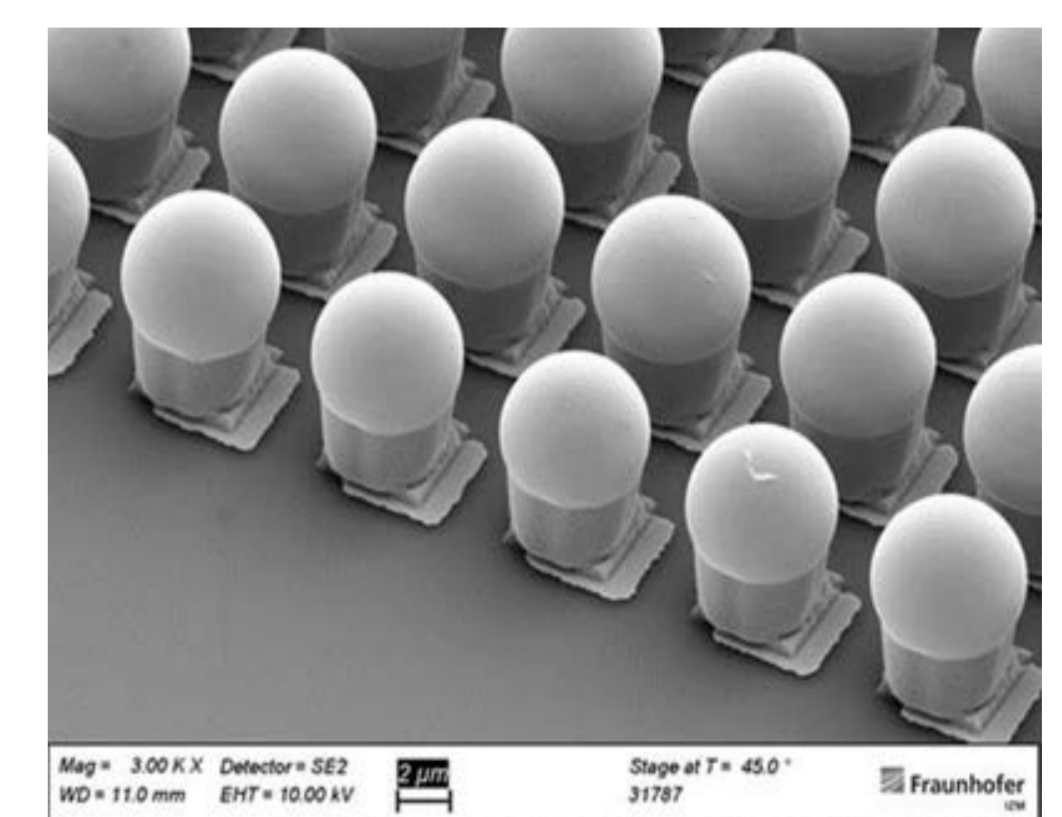


Duktiler Pull-Test In-Bonds

## 4 Highlights

- 18 nm HfN auf 300 mm Wafer:  $T_C=3,3$  K und kinetische Induktivität  $L_{kin} = 30,5$  pH

- Indium Bumps bis 7,5µm Pitch



Ma- terial	Depo- sition	Temp. (K)	Max. sample Size
ZrN	Sputter	7,3	300 mm
HfN	Sputter	5,8	300 mm
Ta	Sputter	3,7	300 mm
TiN	Sputter	2,8	300 mm
Nb	Sputter	8,3	200 mm*
NbN	Sputter	13,1	200 mm*
MoN	Sputter	7,3	200 mm*
In	ECD	2,6	300 mm

\* Upgrade auf 300 mm in Planung

- Durchgängiger Prozess für
  - Niobabscheidung,
  - Strukturierung,
  - Indium Bumping und
  - Flip-Chip-Montage

## 5 Zusammenfassung

- Prozesse zur Dünnschicht- und Bump-Abscheidung und Strukturierung von Supraleitern verfügbar
- Messplätze und Methoden zur elektrischen Kryo-Charakterisierung der Materialien stehen bereit