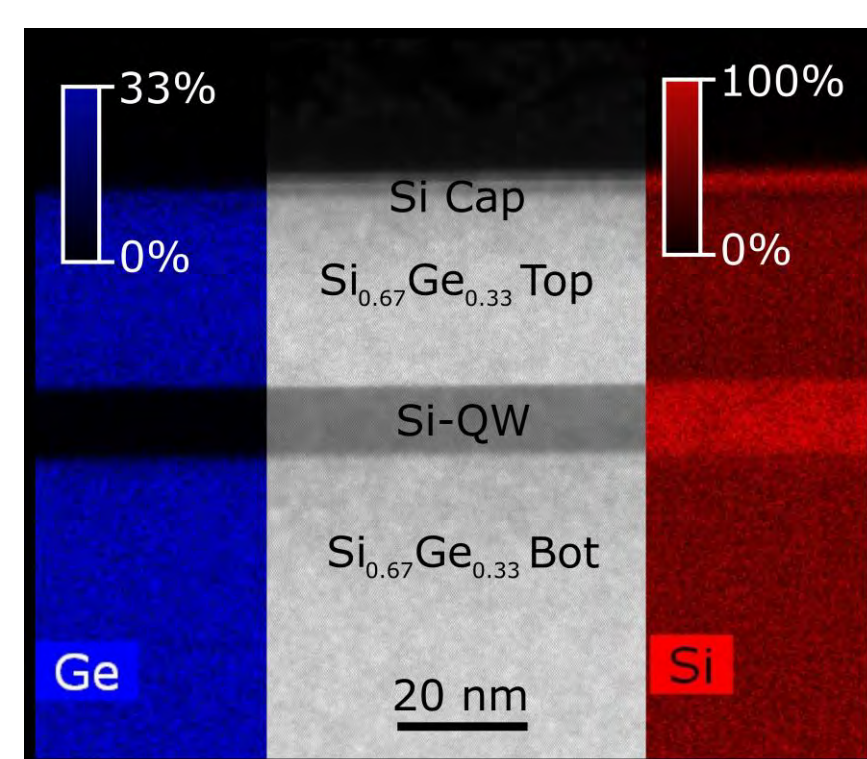


# Materialien für Spin-Qubits und deren Charakterisierung

## 1 Elektron-Spin-Qubits basierend auf Si/SiGe

### Vorteile von Si-Spin-Qubits basierend auf Si/SiGe

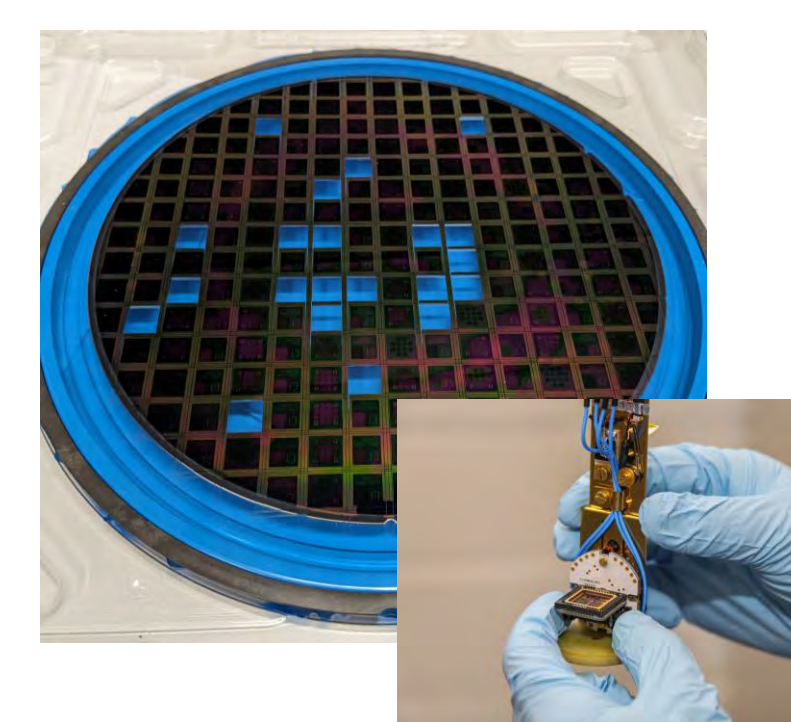
- hohe Güten, geringes Ladungsrauschen
- hohes Skalierungspotential (CMOS) kompatibel
- kritische Elemente für Quantenprozessoren demonstriert



### Herausforderungen

- Materialeigenschaften beeinflussen Qubit-Eigenschaften
- Strukturelle und chemische Defekte müssen minimiert werden
- Homogenität auf 200 mm Wafern muss optimiert werden
- thermisches Budget < 700 °C

## 2 Technologieportfolio 200 mm / 300 mm



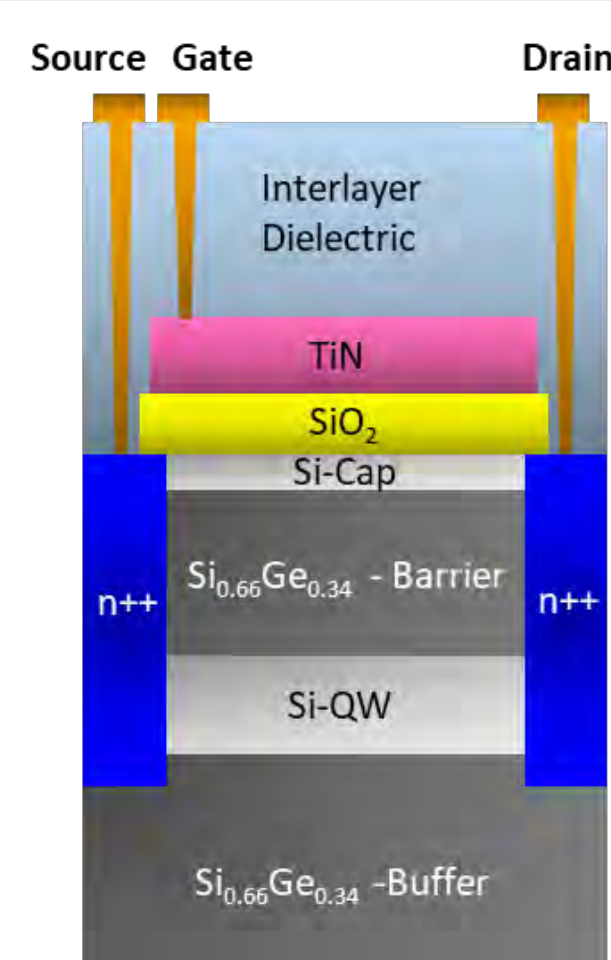
### Wachstum, Fabrikation & Bauteile

- Si/SiGe Heterostrukturen
- Gate-Oxide basierend auf PECVD, PVD und ALD
- Gatter basierend auf PVD und CVD
- Elektronenstrahl-Lithographie für Nanostrukturierung
- Teststrukturen (HB-FETs, MOS-Dots) und Qubit-Vorlagen

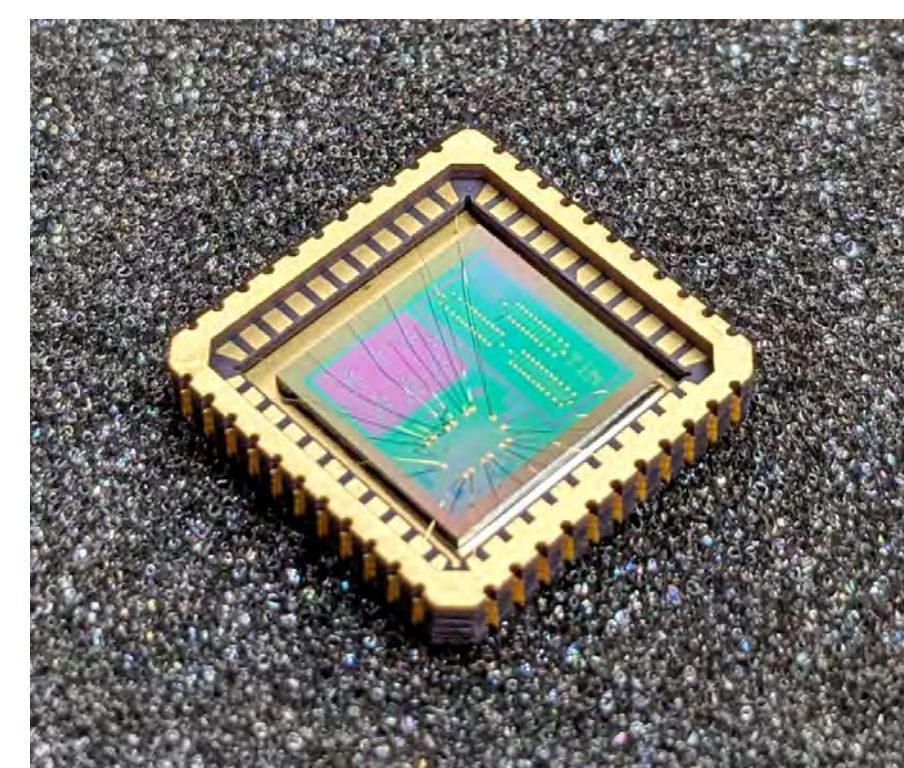
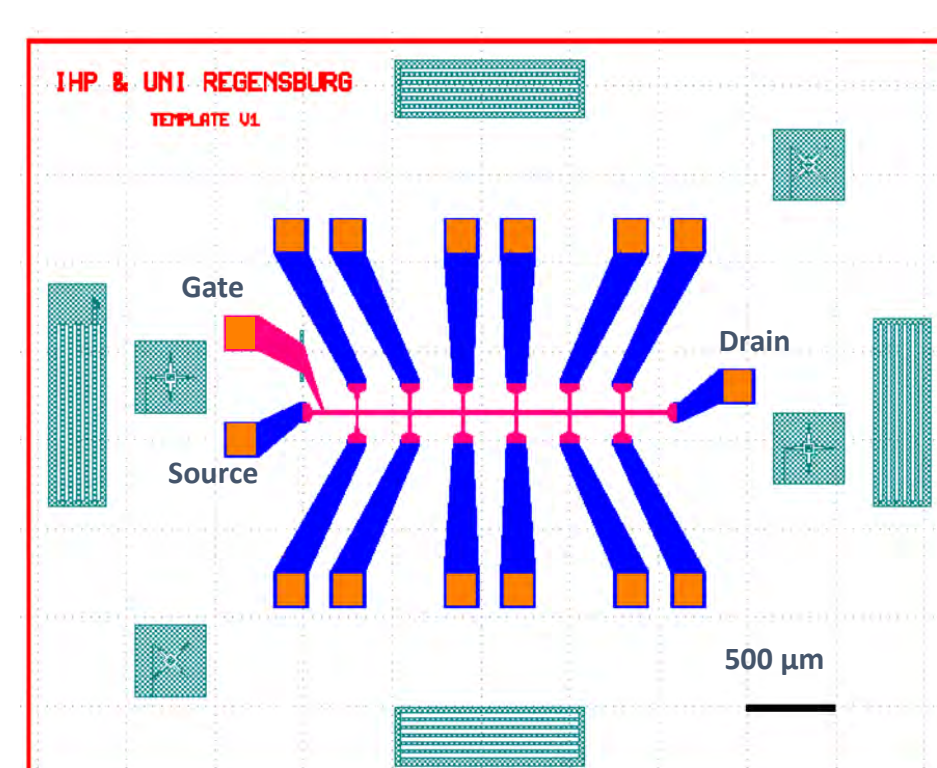
### Charakterisierung

- AFM, XRD, XRR, XPS, SEM, TEM, SIMS
- Transport-Eigenschaften (1.5 K, 12 T)
- Charakterisierung von Gate-Oxiden

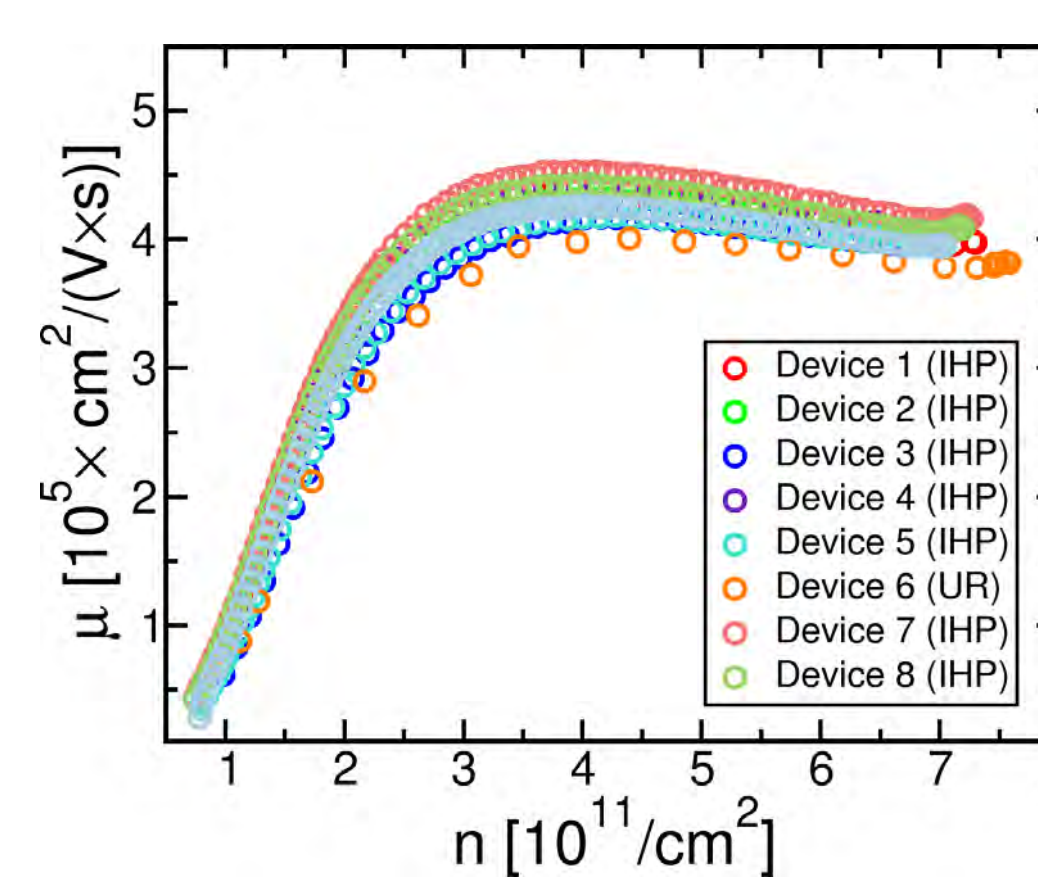
## 3 Komponenten für Si-Spin-Qubits



- Si/SiGe Heterostruktur (mit <sup>28</sup>Si-QW)
- Marker
- Ohmsche Kontakte (Implantation)
- Mesa-Defintition
- Gate-Oxid (SiO<sub>2</sub>, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>)
- Gatter (TiN)
- Kontaktmodul
- Metall1
- Mikromagnete

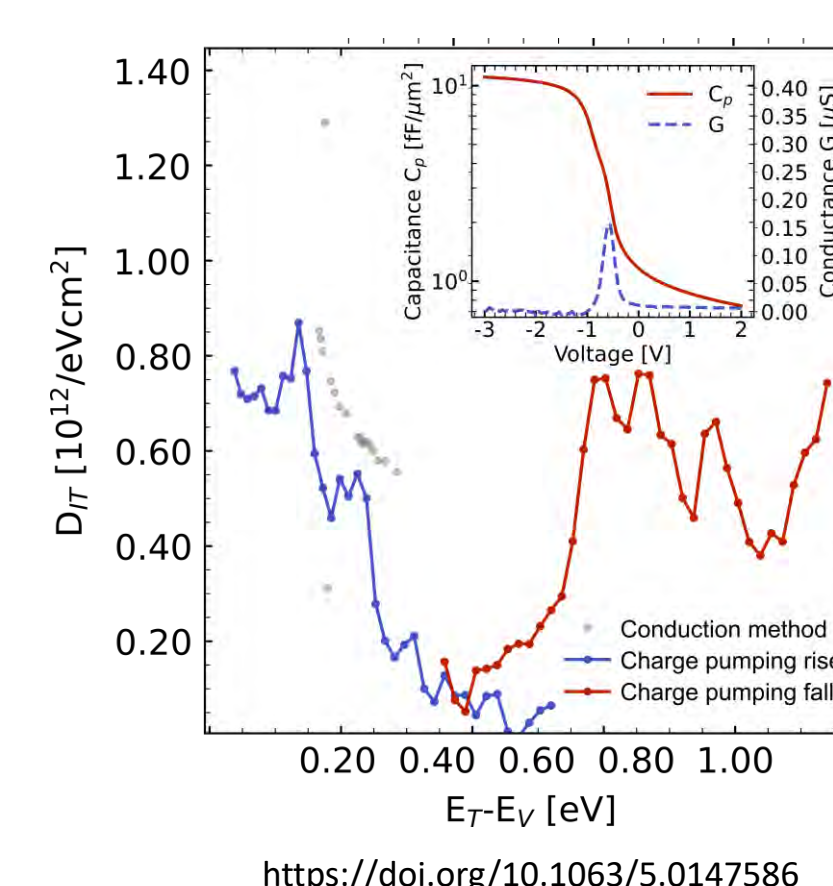


## 4 Highlights aus dem QUASAR-Projekt



### Si/SiGe Heterostrukturen

- Versetzungsdichten < 5E5 cm<sup>-2</sup>
- maximale Beweglichkeiten von über 430.000 cm<sup>2</sup>/Vs
- Metall-Isolator-Übergang (MIT) bei n = 0.77E11 cm<sup>-2</sup>
- Varianz von Hall bar Kenngrößen unter 3%

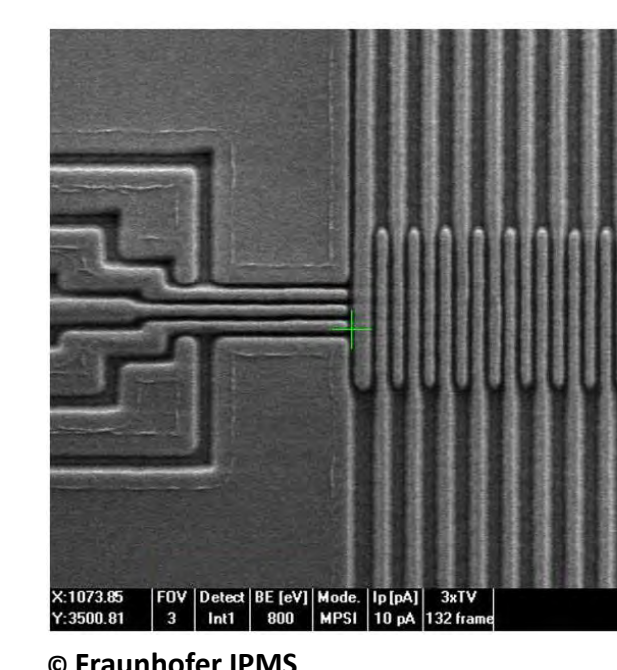


### Gate-Oxid-Qualität

- energieaufgelöste Defektdichte D<sub>it</sub> < 3E10 cm<sup>-2</sup> eV<sup>-1</sup>
- fixe Ladungskonzentration Q<sub>fix</sub> < 5E10 cm<sup>-2</sup>
- Bestimmung von Hysterese, Permittivitätszahl
- Flicker Noise, Charge Pumping, Conduction Method (C/V, G/V)

## 5 Zusammenfassung & zukünftiges Portfolio

- Fertigung von Si/SiGe Heterostrukturen höchster Qualität für Si-Spin-Qubits
- Prozessentwicklung und Charakterisierung von passenden Gate-Oxiden
- Transportmessungen bei Kryotemperaturen (1.5K)
- Fertigung nanostrukturierter Bauteile
- Methodenentwicklung für Bestimmung der Grenzflächen-Defektdichte bei Cryo-Temperaturen
- Erweiterung der Charakterisierungsmöglichkeiten: ganze Wafer bei 2 K und Chips um 100 mK



© Fraunhofer IPMS

© Fraunhofer IAF